

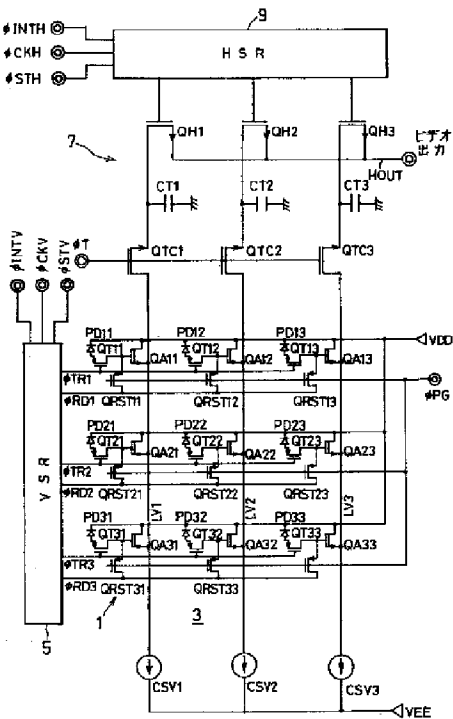
(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 N 5/335			H 0 4 N 5/335	P
H 0 1 L 27/146			H 0 1 L 27/14	A

審査請求 未請求 請求項の数5 F D (全 12 頁)

(21) 出願番号	特願平7-221048	(71) 出願人	000004112 株式会社ニコン 東京都千代田区丸の内 3 丁目 2 番 3 号
(22) 出願日	平成 7 年 (1995) 8 月 7 日	(72) 発明者	米山 寿一 東京都千代田区丸ノ内 3 丁目 2 番 3 号 株 式会社ニコン内
		(74) 代理人	弁理士 池内 義明

(54) 【発明の名称】 固体撮像装置

(57) 【要約】
【課題】 固体撮像装置の全画素をリセットする場合の過大なラッシュ電流を防止する。
【解決手段】 光電変換を行なう複数の画素 1 と、複数の画素 1 を順次選択する走査回路 5、9 を有する固体撮像装置において、走査回路として複数の回路段の出力をほぼ同時に所定の論理状態に設定可能なシフトレジスタを備えたものを使用し、画素 1 として受光素子 P D と該受光素子 P D に蓄積された信号電荷を増幅する増幅素子 Q A を備えたものを使用する。走査回路 5 のシフトレジスタの複数の回路段の出力を前記所定の論理状態に設定して複数の画素 1 を選択し、選択した複数の画素 1 において増幅素子 Q A をカットオフした状態で受光素子 P D の電荷をリセットする。



【特許請求の範囲】

【請求項 1】 光電変換を行なう複数の画素と、前記複数の画素を順次選択して読み出すための走査回路を具備する固体撮像装置において、

前記走査回路は、複数の回路段が継続接続されて構成され所定の制御信号の入力に応じて前記複数の回路段の出力をほぼ同時に所定の論理状態に設定可能なシフトレジスタを備え、

前記画素は各々少なくとも光信号に応じた信号電荷を蓄積する受光素子と、該受光素子に蓄積された信号電荷を増幅する増幅素子とを備え、かつ前記走査回路のシフトレジスタの複数の回路段の出力を前記所定の論理状態に設定することによって複数の画素を選択するとともに、選択した複数の画素において前記増幅素子をカットオフした状態で前記受光素子の電荷をリセットすることによりリセット時のラッシュ電流を低減したことを特徴とする固体撮像装置。

【請求項 2】 前記各々の画素は、さらに、前記受光素子に蓄積された信号電荷を前記増幅素子の制御電極に転送する転送素子と、前記増幅素子の制御電極の電荷をリセットするリセット素子とを具備し、前記転送素子および前記リセット素子を共にオンとして受光素子の電荷をリセットすることを特徴とする請求項 1 に記載の固体撮像装置。

【請求項 3】 さらに、前記転送素子およびリセット素子を共にオンとして受光素子の電荷をリセットする際に、前記増幅素子にバイアス電圧を印加して前記増幅素子をカットオフ状態に保持するためのバイアス電圧印加手段を含むことを特徴とする請求項 2 に記載の固体撮像装置。

【請求項 4】 行および列方向に 2 次元状に配置され各々光信号に応じた信号電荷を蓄積し増幅する増幅型光電変換手段からなる複数の画素と、列方向に配列された各画素の出力端子を共通に接続した各列ライン毎に設けられた定電流回路と、前記画素を選択駆動する水平及び垂直各走査回路とを有する固体撮像装置において、前記垂直走査回路は複数の回路段が継続接続されて構成され所定の制御信号の入力に応じて前記複数の回路段の出力をほぼ同時に所定の論理状態に設定可能なシフトレジスタを備え、

前記画素は各々、光信号に応じた信号電荷を蓄積する受光素子と、該受光素子に蓄積された信号電荷を増幅する増幅素子と、前記受光素子に蓄積された信号電荷を前記増幅素子の制御電極に転送する転送素子と、前記増幅素子の制御電極の電荷をリセットするリセット素子とを具備し、各行の画素の転送素子の制御電極は共通に対応する行ラインに接続され、各行の行ラインは前記垂直走査回路の対応回路段に接続され、すべての画素のリセット素子の制御電極は共通にリセット制御信号入力端子に接続され、かつ前記垂直走査回路のシフトレジスタの複数

の回路段の出力を前記所定の論理状態に設定することによって前記各行ラインを介してすべての転送素子をオンとし、かつ前記リセット制御信号をすべての画素のリセット素子に加えることによって全画素のリセット素子をオンとし、受光素子の電荷を転送素子およびリセット素子を介してリセットするとともに、このリセットの際にオンとなったリセット素子を介して増幅素子の制御電極に該増幅素子をカットオフ状態とする電圧を印加することにより、リセット時のラッシュ電流を低減したことを特徴とする固体撮像装置。

【請求項 5】 行および列方向に 2 次元状に配置され各々光信号に応じた信号電荷を蓄積し増幅する増幅型光電変換手段からなる複数の画素と、列方向に配列された各画素の出力端子を共通に接続した各列ライン毎に設けられた定電流回路と、前記画素を選択駆動する水平及び垂直各走査回路とを有する固体撮像装置において、前記垂直走査回路は複数の回路段が継続接続されて構成され所定の制御信号の入力に応じて前記複数の回路段の出力をほぼ同時に所定の論理状態に設定可能なシフトレジスタを備え、

前記画素は各々、光信号に応じた信号電荷を蓄積する受光素子と、該受光素子に蓄積された信号電荷を増幅する増幅素子と、前記受光素子に蓄積された信号電荷を前記増幅素子の制御電極に転送する転送素子と、前記増幅素子の制御電極の電荷をリセットするリセット素子とを具備し、各行の画素の転送素子の制御電極は共通に対応する行ラインに接続され、各行の行ラインは前記垂直走査回路の対応回路段に接続され、すべての画素のリセット素子の制御電極は共通にリセット制御信号入力端子に接続され、

各列ラインは、各列ラインに接続された画素の増幅素子をカットオフ状態にするために各列ラインを介して増幅素子にバイアス電圧を印加する手段を備え、かつ前記垂直走査回路のシフトレジスタの複数の回路段の出力を前記所定の論理状態に設定することによって前記各行ラインを介してすべての転送素子をオンとし、かつ前記リセット制御信号をすべての画素のリセット素子に加えることによって全画素のリセット素子をオンとし、受光素子の電荷を転送素子およびリセット素子を介してリセットするとともに、このリセットの際に前記バイアス電圧印加手段によって全画素の増幅素子をカットオフ状態とすることにより、リセット時のラッシュ電流を低減したことを特徴とする固体撮像装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、固体撮像装置に関し、例えば電子スチルカメラなどに使用され、全画素の瞬時的なリセットが可能でありしかもリセット時のラッシュ電流を大幅に低減することができる固体撮像装置に関する。

【0002】

【従来の技術】図6は、従来の固体撮像装置の概略の構成を示し、2次元のイメージセンサの例を示している。同図の装置は、説明の簡略化のため3行×3列の画素構成としている。また、図面では各素子の参照符号に添字が付されているが、説明の簡略化のため同じ種類の素子を代表して表現する場合には添字は省略することがある。

【0003】図6の装置では各画素としては、増幅型受光素子の例として静電誘導トランジスタ(SIT)を使用している。すなわち、各画素を構成する静電誘導トランジスタQS11, QS12, QS13, QS21, QS22, QS23, QS31, QS32, QS33が3行×3列のマトリクス状に配置されている。

【0004】また、各列の画素を行ごとに順次選択するための垂直走査回路VSRが設けられている。すなわち、マトリクス状に配置された画素のうち各行方向に配置された静電誘導トランジスタのゲートが共通にそれぞれの行ラインGV1, GV2, GV3を介して垂直走査回路VSRのシフトレジスタの各回路段に接続されている。例えば静電誘導トランジスタQS11, QS12, QS13のゲートは共に行ラインGV1を介して垂直走査回路VSRに接続され、各静電誘導トランジスタQS21, QS22, QS23のゲートは行ラインGV2を介して垂直走査回路VSRに接続されている。垂直走査回路VSRは、初期化信号 ϕ_{INTV} の印加によって全回路段がリセットまたはプリセットされて全ての行ラインGV1, GV2, GV3を選択状態にすることができるのである。

【0005】また、各列の画素の静電誘導トランジスタのソースはその列の列ラインLV1, LV2, LV3に共通に接続され、各列ラインは定電流源CSVを介して所定の電源VEEに接続されている。各定電流源CSVは各画素からの信号読み出し時に各画素の静電誘導トランジスタQSの負荷となるものである。各画素の静電誘導トランジスタQSのドレインは共通に所定の電源VDDに接続されている。各列ラインLV1, LV2, LV3の一端はそれぞれの列ラインをリセットするための垂直リセット用トランジスタQRSTV1, QRSTV2, QRSTV3を介して接地されている。各々の垂直リセット用トランジスタには後に説明する垂直読み出し線用リセット信号 ϕ_{RSTV} が供給されている。

【0006】各列ラインLV1, LV2, LV3の他端はそれぞれの転送用スイッチQT1, QT2, QT3を介してそれぞれの水平出力用トランジスタQH1, QH2, QH3のドレインに接続されている。各水平出力用トランジスタのソースは共通の水平出力線HOUTに接続され、該水平出力線HOUTは撮像信号を外部に供給するためのビデオ出力端子に接続されている。また、各転送用トランジスタQT1, QT2, QT3のソースは

それぞれの容量CT1, CT2, CT3を介して接地されている。

【0007】各列の転送用トランジスタQT1, QT2, QT3のゲートは共通に接続され転送パルス ϕ_T が供給される。また、水平読み出しトランジスタQH1～QH3のゲートは水平走査回路HSRの各回路段に接続されている。水平走査回路HSRも、前記垂直走査回路VSRと同様に、シフトレジスタを備え、該シフトレジスタは水平初期化信号 ϕ_{INTH} により全回路段のセットまたはリセットが可能なものを使用される。

【0008】図6の固体撮像装置は、例えば電子スチルカメラに使用された場合には、所定の露光時間の経過後に、垂直走査回路VSRに垂直スタート信号 ϕ_{STV} を加え、かつ垂直シフト用クロック信号 ϕ_{CKV} を加えることにより、垂直走査回路VSRのシフトレジスタが順次前記スタート信号 ϕ_{STV} を各回路段にシフトするよう動作する。これによって、各行ラインGV1, GV2, GV3が順次選択される。各静電誘導トランジスタQSには入射光に応じた信号電荷が蓄積されており、選択された行においてはそのゲート電圧に所定の選択電圧が加えられることによって該静電誘導トランジスタがソースフォロアとして動作し蓄積された電荷に対応する電圧を各列ラインLVに出力する。すなわち、選択された行の静電誘導トランジスタQSからの信号が同時に各垂直読み出し線LVに出力される。

【0009】そして、このとき転送信号 ϕ_T により各列の転送トランジスタQTを導通させて信号電荷を容量CT1, CT2, CT3に充電した後にQTを遮断し、垂直走査回路HSRにより順次水平読み出しトランジスタQHをオンとして各列ごとの信号が水平出力線HOUTに出力される。

【0010】ところで、このような固体撮像装置が、例えば電子スチルカメラに使用された場合には、シャッタを押した瞬間に全画素のリセットを行なった後被写体画像の撮像が行なわれる。図6の固体撮像装置においては全画素のリセットは次のようにして行なわれる。

【0011】すなわち、垂直走査回路VSRは、シフトレジスタを含み、初期化信号 ϕ_{INTV} 、クロック信号 ϕ_{CKV} 、走査開始信号 ϕ_{STV} で制御される。初期化信号 ϕ_{INTV} と ϕ_{STV} をハイにすると垂直走査回路VSRの全回路段がプリセットされて全ての行ラインGV1, GV2, GV3がハイになり、全ての画素が選択状態になる。これに対し、初期化信号 ϕ_{INTV} をハイにし、走査開始信号 ϕ_{STV} をローにすると垂直走査回路VSRの各回路段がリセットされ、全画素が非選択状態になる。初期化信号 ϕ_{INTV} をローにすると垂直走査回路VSRが通常のシフト動作を開始し、スタート信号 ϕ_{STV} がハイになった時点からクロック信号 ϕ_{CKV} が入るたびに順次各行ラインGV1, GV2, GV3が順次高レベルとなって画素が1行ずつ順次選択され

る。

【0012】そして、図6の固体撮像装置において全画素のリセットを行なうためには、まず垂直読み出し専用リセット信号 ϕ_{RSTV} をハイにして、各列の垂直リセット用トランジスタ $Q_{RSTV1\sim3}$ をオンとし、各列ライン $LV1$ 、 $LV2$ 、 $LV3$ をグランドに接続する。

【0013】次に、垂直走査回路 VSR の前記初期化信号 ϕ_{INTV} と走査開始信号 ϕ_{STV} を共にハイにして垂直走査回路 VSR の各回路段をプリセット状態にする。これによって各行ライン $GV1$ 、 $GV2$ 、 $GV3$ が共にハイレベルとなって全画素の選択状態となる。この場合の各行ライン $GV1$ 、 $GV2$ 、 $GV3$ のハイレベルの電圧、すなわち制御信号 $\phi_{SR1\sim3}$ の電圧は、静電誘導トランジスタ $Q_{S11\sim33}$ のリセット用電圧 V_{RSTP} となるよう設定される。

【0014】これによって、周知のように、各静電誘導トランジスタ $Q_{S11}\sim Q_{S33}$ のゲート電極下部に反転層が形成されて該静電誘導トランジスタ $Q_{S11}\sim33$ のソース・ドレイン間にチャンネルができ、ゲートに充電されていた残存電荷が流れ出して全画素のリセットが行なわれる。このとき各画素の静電誘導トランジスタ $Q_{S11}\sim Q_{S33}$ にはリセットによる残存電荷の流出による電流が同時に流れる。

【0015】

【発明が解決しようとする課題】このように、従来の増幅型撮像素子を有する固体撮像装置においては、全画素のリセットを行なう場合には、全画素を同時に選択することにより、増幅手段を含む画素部を一体としてリセットを行なっていた。このため、リセット時に、各画素内の増幅手段も全て同時にオンになって、全増幅手段の電流が一斉に流れるようになっていた。このときの電流をラッシュ電流と言うが、個々の画素のラッシュ電流は小さくとも、全画素が同時にオンとなるため撮像装置全体では大きなラッシュ電流が流れる。

【0016】例えば各画素のラッシュ電流が数マイクロアンペアであるとしても、画素数が100万画素の場合には、撮像装置全体では数アンペアに達する。固体撮像装置のチップ内に数アンペアに達する電流が流れると、エレクトロマイグレーションによる信頼性の低下が問題になり、またチップ内の各部分の寄生インピーダンスによりチップ内各部分の電圧が所定の電圧範囲におさまらず、チップが固体撮像装置として期待した性能を発揮できず、あるいはラッシュ電流による誤動作などを生じる恐れもあった。

【0017】したがって、本発明の目的は、このような従来の装置における問題点に鑑み、増幅型の画素を使用した固体撮像装置において、リセット時の過大なラッシュ電流を防止し、固体撮像装置のチップ全体が所定の性能を発揮できるようにすると共に、固体撮像装置の信頼性の低下をも的確に防止できるようにすることにある。

【0018】

【課題を解決するための手段】上記目的を達成するため、本発明の第1の態様によれば、光電変換を行なう複数の画素と、前記複数の画素を順次選択して読み出すための走査回路を具備する固体撮像装置において、前記走査回路は複数の回路段が継続接続されて構成され所定の制御信号の入力に応じて前記複数の回路段の出力をほぼ同時に所定の論理状態に設定可能なシフトレジスタを備えたものとし、前記画素は各々少なくとも光信号に応じた信号電荷を蓄積する受光素子と、該受光素子に蓄積された信号電荷を増幅する増幅素子とを備えたものとし、かつ前記走査回路のシフトレジスタの複数の回路段の出力を前記所定の論理状態に設定することによって複数の画素を選択するとともに、選択した複数の画素において前記増幅素子をカットオフした状態で前記受光素子の電荷をリセットすることによりリセット時のラッシュ電流を低減する。

【0019】このような構成では、前記走査回路のシフトレジスタによって複数の画素を選択し、かつ選択した複数の画素において前記増幅素子をカットオフした状態で前記受光素子の電荷をリセットする。したがって、リセット時に増幅素子にラッシュ電流が流れることはなくなり、多数の画素を有する固体撮像装置における全画素を同時にリセットしたとしても過大なラッシュ電流が流れることはなくなる。したがって、固体撮像装置の信頼性が低下することなく、しかも固体撮像装置のチップ内の各部分の電圧がラッシュ電流によって大きな変動を起こすこともなくなり、固体撮像装置が本来の性能を的確に発揮できるようになる。

【0020】この場合、前記各々の画素は、さらに、前記受光素子に蓄積された信号電荷を前記増幅素子の制御電極に転送する転送素子と、前記増幅素子の制御電極の電荷をリセットするリセット素子とを具備し、前記転送素子および前記リセット素子を共にオンとして受光素子の電荷をリセットするものとして行うことができる。

【0021】このような画素構成をとることによって、リセット時には前記転送素子とリセット素子とを共にオンとし、かつリセット素子を介して増幅素子の制御電極に該増幅素子をカットオフする電圧を加えることにより、増幅素子をカットオフした状態で、受光素子に蓄積された電荷を前記転送素子およびリセット素子を介して放出することが可能になる。

【0022】さらに、前記転送素子およびリセット素子を共にオンとして受光素子の電荷をリセットする際に、前記増幅素子にバイアス電圧を印加して前記増幅素子をカットオフ状態に保持するためのバイアス電圧印加手段を含むよう構成することもできる。

【0023】この場合は、上記バイアス電圧印加手段によって画素のリセット時に前記増幅素子に対し、前記増幅素子をカットオフ状態にするためのバイアス電圧を印

加することができる。したがって、受光素子および増幅素子の特性をそれぞれ独立に最適のものに設定することができ、増幅素子を完全にカットオフした状態で受光素子の完全空乏化が達成でき、各素子の設計の自由度が増大し、高品質の固体撮像装置が実現できる。

【0024】また、本発明の他の態様では、行および列方向に2次元状に配置され各々光信号に応じた信号電荷を蓄積し増幅する増幅型光電変換手段からなる複数の画素と、列方向に配列された各画素の出力端子を共通に接続した各列ライン毎に設けられた定電流回路と、前記画素を選択駆動する水平及び垂直各走査回路とを有する固体撮像装置において、前記垂直走査回路は複数の回路段が継続接続されて構成され所定の制御信号の入力に応じて前記複数の回路段の出力をほぼ同時に所定の論理状態に設定可能なシフトレジスタを備えたものとし、前記画素は各々光信号に応じた信号電荷を蓄積する受光素子と該受光素子に蓄積された信号電荷を増幅する増幅素子と前記受光素子に蓄積された信号電荷を前記増幅素子の制御電極に転送する転送素子と前記増幅素子の制御電極の電荷をリセットするリセット素子とを具備し、各行の画素の転送素子の制御電極は共通に対応する行ラインに接続され各行の行ラインは前記垂直走査回路の対応回路段に接続されすべての画素のリセット素子の制御電極は共通にリセット制御信号入力端子に接続され、かつ前記垂直走査回路のシフトレジスタの複数の回路段の出力を前記所定の論理状態に設定することによって前記各行ラインを介してすべての転送素子をオンとし、かつ前記リセット制御信号をすべての画素のリセット素子に加えることによって全画素のリセット素子をオンとし、受光素子の電荷を転送素子およびリセット素子を介してリセットするとともに、このリセットの際にオンとなったリセット素子を介して増幅素子の制御電極に該増幅素子をカットオフ状態とする電圧を印加することにより、リセット時のラッシュ電流を低減する。

【0025】このような構成に係わる固体撮像装置においては、リセット時には、前記垂直走査回路のシフトレジスタの複数の回路段の出力を所定の論理状態とすることによって各行ラインの全ての転送素子をオンとし、かつ全ての画素のリセット素子をオンとし、受光素子の電荷を転送素子およびリセット素子を介してリセットすることができる。また、このリセットの際にオンとなったリセット素子を介して増幅素子の制御電極に該増幅素子をカットオフ状態とする電圧を印加しておけば、リセット時に増幅素子にラッシュ電流が流れることはなくなり、多数の画素を同時にリセットしても固体撮像装置全体として過大なラッシュ電流が流れることはなくなる。

【0026】本発明のさらに他の態様では、行および列方向に2次元状に配置され各々光信号に応じた信号電荷を蓄積し増幅する増幅型光電変換手段からなる複数の画素と列方向に配列された各画素の出力端子を共通に接続

した各列ライン毎に設けられた定電流回路と前記画素を選択駆動する水平及び垂直各走査回路とを有する固体撮像装置において、前記垂直走査回路は複数の回路段が継続接続されて構成され所定の制御信号の入力に応じて前記複数の回路段の出力をほぼ同時に所定の論理状態に設定可能なシフトレジスタを備えたものとし、前記画素は各々光信号に応じた信号電荷を蓄積する受光素子と該受光素子に蓄積された信号電荷を増幅する増幅素子と前記受光素子に蓄積された信号電荷を前記増幅素子の制御電極に転送する転送素子と前記増幅素子の制御電極の電荷をリセットするリセット素子とを具備し、各行の画素の転送素子の制御電極は共通に対応する行ラインに接続され各行の行ラインは前記垂直走査回路の対応回路段に接続されすべての画素のリセット素子の制御電極は共通にリセット制御信号入力端子に接続され、また各列ラインは各列ラインに接続された画素の増幅素子をカットオフ状態にするために各列ラインを介して増幅素子にバイアス電圧を印加する手段を備え、かつ前記垂直走査回路のシフトレジスタの複数の回路段の出力を前記所定の論理状態に設定することによって前記各行ラインを介してすべての転送素子をオンとし、かつ前記リセット制御信号をすべての画素のリセット素子に加えることによって全画素のリセット素子をオンとし、受光素子の電荷を転送素子およびリセット素子を介してリセットするとともに、このリセットの際に前記バイアス電圧印加手段によって全画素の増幅素子をカットオフ状態とすることにより、リセット時のラッシュ電流を低減する。

【0027】この場合も、垂直走査回路のシフトレジスタの複数の回路段の出力を所定の論理状態に設定することによって各行ラインを介して全ての転送素子をオンとし、かつ前記リセット制御信号によって全ての画素のリセット素子をオンとすることにより、受光素子の電荷を転送素子およびリセット素子を介して放出することができる。そして、このリセットの際に、前記バイアス電圧印加手段によって全画素の増幅素子をカットオフ状態とすることにより、リセット時のラッシュ電流を低減できる。前記バイアス電圧印加手段は、画素の増幅素子に他の素子とは独立に所望の適切なバイアス電圧を印加することができるから、画素の各素子の設計の自由度を増大させることができる。すなわち、前記転送素子およびリセット素子を介して受光素子が完全に空乏化される電圧を供給することができ、一方前記増幅素子には該増幅素子を十分にカットオフ状態とするバイアス電圧を独立に印加することができ、受光素子と増幅素子をそれぞれ所望の最適の特性を有するよう設計することができる。

【0028】

【発明の実施の形態】図1は、本発明に係わる固体撮像装置の概略の構成を示すブロック図であり、2次元のイメージセンサの例を示している。同図の固体撮像装置は、複数の画素1を有する画素部3と、垂直走査回路5

と、水平読み出し部7と、水平走査回路9とを備えている。

【0029】画素部3は、それぞれ後に詳細に説明するように受光用のフォトダイオードおよび増幅素子などを備えた画素1がマトリクス状に配置されて構成されている。垂直走査回路5は、画素部3の1水平ライン（行ライン）分の画素を順次選択するものであり、後に示す構造のダイナミックシフトレジスタで構成される。水平読み出し部7は、画素部3から1水平ライン分の画素の電荷を受け入れ、これを水平走査回路9からの走査パルスに基づき順次出力するものである。水平走査回路9も前記垂直走査回路5と同様のダイナミックシフトレジスタによって構成される。

【0030】垂直走査回路5に入力されている信号 ϕ STVは垂直スタートパルスであり、ダイナミックシフトレジスタの初期入力データとなる。また垂直走査回路5には、そのダイナミックシフトレジスタのシフトを行なうための垂直クロックパルス ϕ CKVおよび垂直初期化パルス ϕ INTVが入力される。

【0031】また、水平走査回路9に入力されている信号 ϕ STHは水平走査回路9を構成するダイナミックシフトレジスタのスタート信号であり、 ϕ CKHは水平シフト用のクロック信号である。また、水平走査回路9には必要に応じて該水平走査回路9を構成するダイナミックシフトレジスタを初期化するための水平初期化パルス ϕ INTHが入力される。

【0032】図1の固体撮像装置では、例えばスチルビデオカメラなどに使用された場合、シャッタを押す前には固体撮像装置は擬似動作をさせておく、すなわち走査はするが出力信号は使用しない状態としておく。そして、シャッタが押されたら、垂直走査回路5に10マイクロ秒程度の一定期間初期化パルス ϕ INTVを加え、同時にスタートパルス ϕ STVをHレベルにすると、擬似動作中の垂直走査回路5のシフトレジスタの全段が強制的にプリセット状態になって全画素が選択状態になり全画素の電荷がリセットできる。

【0033】次に、垂直スタートパルス ϕ STVをLレベルにして垂直走査回路5をリセット状態とし、かつ水平走査回路9にも初期化パルス ϕ INTHを加えかつ水平スタートパルス ϕ STHをLレベルにして水平走査回路9をリセット状態にした後に、通常動作に戻って各シフトレジスタのシフト動作を開始する。このとき各画素は画像情報の蓄積を開始しており、所定の露光時間の経過後再度初期化パルス ϕ INTV、 ϕ INTHをHレベル、垂直スタートパルス ϕ STVと水平スタートパルス ϕ STHをLレベルにして各シフトレジスタを強制リセットした後に通常の動作に戻って読み出し動作を開始すると、所定の時間露光された映像信号を得ることができる。

【0034】なお、図1の固体撮像装置では、通常の読

み出し動作は、垂直走査回路5および水平走査回路9の各初期化パルス ϕ INTVおよび ϕ INTHをそれぞれ低レベルとした状態で、垂直走査回路5において例えば高レベルのスタート信号 ϕ STVをクロック信号 ϕ CKVで順次シフトし、画素部3の1水平ライン分の画素を順次選択する。選択された1水平ライン分の各画素のフォトダイオードに蓄積されていた電荷は水平読み出し部7に転送される。次に、水平走査回路9により例えば高レベルのスタート信号 ϕ STHをクロック信号 ϕ CKHにより順次シフトすることにより、該水平走査回路9によって水平読み出し部7に転送された電荷を1画素分だけ順次水平方向に転送し出力端子から外部に読み出す。

【0035】図2は、図1の固体撮像装置の詳細な回路構成を示す。図2の固体撮像装置において、図1と同じ部分は同じ参照数字で示されている。すなわち図2の固体撮像装置も複数の画素1を備えた画素部3と、垂直走査回路5と、水平読み出し部7と水平走査回路9などによって構成されている。図2の回路では、説明の簡略化のため画素部3は3行×3列の画素1から構成されるものとしている。

【0036】各画素1は受光素子であるフォトダイオードPD、接合型電界効果トランジスタ（JFET）からなる増幅素子QA、フォトダイオードPDの電荷を増幅素子QAのゲートに転送するためのMOSトランジスタからなる転送用スイッチQT、増幅素子QAのゲート電極を所定の電圧に設定するためのMOSトランジスタからなるリセットスイッチQRSTから構成されている。なお、図面では、各素子に添字がされているが、説明の簡略化のため同じ種類の素子を代表して表現する場合には添字は省略することがある。図2に示される各画素1においては、受光手段であるフォトダイオードPDと増幅素子QAのゲートが構造上分離されている。

【0037】各画素1の増幅素子QAのうち、垂直方向に配置された画素の増幅素子QAのソースは各列の列ラインLV（LV1～LV3）を介してそれぞれの列の定電流源CSVに接続されている。各定電流源CSVは増幅素子QAをソースフォロアとして動作させたときの負荷となる。各定電流源CSVの他端は共通に所定の電源VEEに接続されている。

【0038】各画素1のフォトダイオードPDのカソードは共通に所定の電源VDDに接続され、アノードは転送用スイッチQTのソースに接続されている。転送用スイッチQTのドレインは増幅素子QAのゲートおよびリセットスイッチQRSTのソースに接続されている。各増幅素子QAのソースは列ごとに共通にそれぞれの列ラインLV（LV1～LV3）に接続されている。各転送用スイッチQTのゲートは行ごとに共通に垂直走査回路5に接続され第1の垂直走査信号 ϕ TRを受けるよう構成されている。各行の垂直走査信号 ϕ TR1～ ϕ TR3は垂直走査回路5のそれぞれの回路段の出力に接続され

10

20

30

40

50

ている。リセットスイッチQ R S Tのゲートは全画素共通に制御信号 ϕ P Gに接続され、ドレインは水平方向に共通に垂直走査回路5に接続されてそれぞれの行ごとに第2の垂直走査信号 ϕ R Dが供給されるよう構成されている。各増幅素子Q Aのドレインは共通に前記フォトダイオードP Dのアノードと同じ電源V D Dに接続されている。

【0039】なお、垂直走査回路5の各回路段の出力は、それぞれ異なった電圧レベルの第1および第2の垂直走査信号 ϕ T Rおよび ϕ R Dを供給するため、例えば、シフトレジスタの各回路段の出力にそれぞれ所定の電圧シフト回路を接続して構成することもできる。

【0040】水平読み出し部7は、各列ごとに読み出しゲートトランジスタQ T C、容量C Tおよび水平読み出し用のスイッチ素子Q Hで構成される。各列ラインL Vの上端は読み出しゲートトランジスタQ T Cのドレインに接続され、該読み出しゲートトランジスタQ T Cのソースはそれぞれの列の水平読み出し用スイッチ素子Q Hのドレイン、および容量C Tに接続されている。容量C Tの他端は接地されている。全ての読み出しゲートトランジスタQ T Cのゲートは共通に接続され転送パルス ϕ Tが供給できるよう構成されている。また、水平読み出し用スイッチ素子Q Hのゲートは各列ごとに水平走査回路9のシフトレジスタの各回路段の出力に接続されている。さらに、水平読み出し用スイッチ素子Q Hのソースは共通に水平出力線H O U Tを介してビデオ出力端子に接続されている。

【0041】以上のような構成を有する固体撮像装置において画素のリセットは次のように行なう。すなわち、垂直走査回路5の初期化パルス ϕ I N T Vおよびスタートパルス ϕ S T Vを共にハイにして垂直走査回路5の全回路段をプリセットして全画素の選択状態とする。これによって、全回路段の第1の垂直走査信号 ϕ T R (ϕ T R 1 \sim ϕ T R 3)を全て同時にハイにして全画素の転送用スイッチQ Tをオンとする。また、全画素共通のリセット制御信号 ϕ P Gを加えて全画素のリセットスイッチQ R S Tをオンにする。

【0042】このとき第2の垂直走査信号 ϕ R D (ϕ R D 1 \sim ϕ R D 3)の電圧は各画素の増幅素子Q Aを構成するJ F E Tがカットオフする電圧V G Lとする。

【0043】このようにすると、各画素のフォトダイオードP Dに蓄積されていた残留電荷は、転送素子Q Tとリセット素子Q R S Tを通じて排出され、フォトダイオードP Dは完全空乏化されてリセットされる。そして、この場合増幅素子Q Aのゲート電圧は前述のようにV G Lでありしたがって該増幅素子Q Aはカットオフしているので、該増幅素子Q Aには電流が流れない。すなわち、フォトダイオードP Dに流れる電流が増幅素子Q Aによって増幅されて増幅された電流が流れることはない。このため、各画素のラッシュ電流がきわめて小さく

なり、固体撮像装置全体として過大なラッシュ電流が流れることはなくなる。

【0044】なお、図2の固体撮像装置において信号の読み出しを行なう場合は、垂直走査回路5の初期化パルス ϕ I N T Vをローレベルとし、スタートパルス ϕ S T Vをハイにすると共にクロック信号 ϕ C K Vを加えて垂直走査回路5のシフト動作を行なわせる。これによって、各行の画素を順次選択し、選択された画素に蓄積されている信号を垂直読み出し線L Vに出力する。そして、各列ラインに接続された読み出しゲートトランジスタQ T Cを転送パルス ϕ Tによってオンとし信号の読み出し電荷をそれぞれの列の容量C Tに充電する。また、水平走査回路9においても、初期化パルス ϕ I N T Hをローレベル、スタートパルス ϕ S T Hをハイレベルとしかつクロック信号 ϕ C K Hを加えることによりシフト動作を行なわせる。これによって、各列の水平読み出し用スイッチ素子Q Hが順次オンとされて各列の読み出し信号が水平出力ラインH O U Tに供給されビデオ出力端子から外部に出力される。

【0045】また、このような信号の読み出しを行なう場合には、リセット制御信号 ϕ P Gにより全画素のリセット素子Q R S Tをオンにする。そして、選択された行に対しては第2の垂直走査信号 ϕ R Dの電圧を各画素の増幅素子Q Aがオンになって活性化する電圧V G Hとし、非選択画素に対しては増幅素子Q Aがカットオフする前記電圧V G Lとする。この状態で、前記制御信号 ϕ P Gをオフにしても増幅素子Q Aのゲート浮遊容量により該増幅素子Q Aのゲート電圧は同じ値に保持される。したがって、リセット制御信号 ϕ P Gにより全画素のリセット素子Q R S Tをオフにした後に、第1の垂直走査信号 ϕ T Rにより選択された行の画素の転送素子をオンにする。これによって、フォトダイオードP Dに蓄積されていた信号電荷が増幅素子Q Aのゲートに転送され該増幅素子Q Aのゲート電圧が信号に対応して変化する。この電圧を増幅素子Q Aをソースフォロアとして動作させて列ラインL Vに出力し、前述のように水平走査回路9を走査して順次外部に読み出す。

【0046】図3は、本発明に係わる固体撮像装置の水平走査回路および垂直走査回路に使用可能なダイナミックシフトレジスタの構成を示す。図3のダイナミックシフトレジスタは、C M O Sプロセスを使用して作成され、クロックパルスによって順次活性化されるいわゆるクロックドインバータを使用した例を示している。

【0047】図3のダイナミックシフトレジスタにおいては、例えば正の電源電圧V_{DD}と負の電源電圧V_{SS}との間に直列接続された2個のP M O SトランジスタP 1およびP 2と2個のN M O SトランジスタN 2およびN 1とによって1段のクロックドインバータを構成している。P M O SトランジスタP 3、P 4およびN M O SトランジスタN 4、N 3が2段目のクロックドインバー

10

20

30

40

50

タを構成し、PMOSトランジスタP5、P6と2個のNMOSトランジスタN6、N5とが3段目のクロックドインバータを構成し、2個のPMOSトランジスタP7、P8と2個のNMOSトランジスタN8とN7とが4段目のクロックドインバータを構成し、以下同様である。

【0048】各回路段のクロックドインバータにおいて中央に位置するPMOSトランジスタとNMOSトランジスタ、例えば1段目ではP2とN2、2段目ではP4とN4、3段目ではP6とN6、4段目ではP8とN8、はそれぞれCMOSインバータを構成している。各CMOSインバータと電源V_{DD} およびV_{SS} との間に接続されたトランジスタはこれらのCMOSインバータを活性化させるための制御用トランジスタである。

【0049】これらの制御用トランジスタのうちPMOSトランジスタP1、P5、…のゲートは内部クロック信号線CP1に接続され、PMOSトランジスタP3、P7、…のゲートは内部クロック信号線CP2に接続されている。また、他の導電形の制御用トランジスタ、すなわちNMOSトランジスタN1、N5、…のゲートは内部クロック信号線CN1に接続され、NMOSトランジスタN3、N7、…のゲートは他の内部クロック信号線CN2に接続されている。

【0050】また、1段目のCMOSインバータを構成する各トランジスタP2およびN2のゲートにはスタートパルスφSTが供給される。1段目のCMOSインバータの出力は2段目のCMOSインバータの入力、すなわちトランジスタP4およびトランジスタN4のゲートに接続され、2段目のCMOSインバータの出力は3段目のCMOSインバータの出力に接続され、3段目のCMOSインバータの出力は4段目のCMOSインバータの入力に順次接続されている。

【0051】図3のダイナミックシフトレジスタはさらに、同時活性化回路を構成するインバータINV2、ORゲートOR1、OR2を備え、さらに2個のインバータINV3、INV4を備えている。ORゲートOR1およびOR2のそれぞれの一方の入力には初期化パルスφINTが供給される。ORゲートOR1の他方の入力にはクロックパルスφCKが供給され、他のORゲートOR2の他方の入力にはクロックパルスφCKをインバータINV2で反転した信号が供給される。ORゲートOR1の出力は前記内部クロック信号線CN2に接続され、かつインバータINV4を介して内部クロック信号線CP2に接続されている。ORゲートOR2の出力は内部クロック信号線CN1に接続され、かつインバータINV3を介して内部クロック信号線CP1に接続されている。

【0052】以上のような構成を有するダイナミックシフトレジスタにおいては、初期化パルスφINTがロー(L)レベルの場合はORゲートOR1の出力にはクロ

ックパルスφCKが発生し、ORゲートOR2の出力にはクロックパルスφCKを反転したクロックパルスが供給される。したがって、クロックパルスφCKがハイ

(H)レベルのときは、内部クロック信号線CN2がHレベル、内部クロック信号線CP2がLレベルとなり、トランジスタP3、P7、…およびN3、N7、…がオンとなる。これに対し、クロック信号φCKがLレベルの場合は、ORゲートOR2の出力がHレベルとなりトランジスタP1、P5、…およびN1、N5、…がオンとなる。したがって、クロック信号φCKによって各回路段の第1のインバータと第2のインバータとが交互に活性化され、スタートパルスφSTが順次後続の回路段へとシフトされる。

【0053】これに対し、初期化パルスφINTをHレベルにすると、クロックパルスφCKのレベル如何にかかわらず、ORゲートOR1およびOR2の出力は共にHレベルとなる。したがって、内部クロック信号線CN1、CN2は共にHレベルとなり、内部クロック信号線CP1、CP2は共にLレベルとなる。このため、全てのクロックドインバータの制御用トランジスタP1、P3、P5、P7、…およびN1、N3、N5、N7、…が同時にオンとなる。すなわち、全てのクロックドインバータが同時に活性化される。

【0054】これによって、クロックパルスφCKとは無関係に入力信号φSTが各インバータで反転されて高速度で後段の回路に伝達される。したがってスタートパルスφSTをLレベルにすれば、全ての回路段の出力S1、S2、…も全てLレベルとなり、スタートパルスφSTをHレベルとすれば全ての回路段の出力S1、S2、…はHレベルとなる。すなわち、ほぼ瞬時的に全回路段あるいは所望の回路段までの出力をセットあるいはプリセットすることができる。また、回路は全て活性状態にあるから、リセットまたはプリセット状態を安定して長時間継続することも可能である。なお、通常の固体撮像装置に使用されるクロックドインバータの遅延時間は、通常数ナノ秒以下であり、仮にクロックドインバータが1000段あったとしても入力段から最終段まで数マイクロ秒以下でデータの伝達が可能であり、ほぼ瞬時に各回路段のリセットあるいはプリセットを行なうことができる。

【0055】図4は、本発明の固体撮像装置に使用できるダイナミックシフトレジスタの他の構成例を示す。図4のダイナミックシフトレジスタは、各回路段ごとに2個のCMOSインバータを備えている。すなわち、第1の回路段はPMOSトランジスタP11とNMOSトランジスタN11からなる第1のCMOSインバータと、PMOSトランジスタP12およびNMOSトランジスタN12からなる第2のCMOSインバータとを有している。第2の回路段は、PMOSトランジスタP13およびNMOSトランジスタN13からなる第1のCMO

10

20

30

40

50

Sインバータと、PMOSトランジスタP14およびNMOSトランジスタN14からなる第2のCMOSインバータとを備えており、以下同様である。各インバータは伝達ゲートを介して順次縦続接続されている。すなわち、トランジスタP11およびN11からなるインバータの出力は第1の伝達ゲートT1を介してトランジスタP12およびN12からなるインバータの入力に接続されており、トランジスタP12、N12からなるインバータの出力は第2の伝達ゲートT2を介してトランジスタP13、N13からなるインバータの入力に接続されており、トランジスタP13、N13からなるインバータの出力は第3の伝達ゲートT3を介してトランジスタP14、N14からなるインバータの入力に接続され、以下同様である。

【0056】伝達ゲートT1、T3、…のPMOSトランジスタ側のゲートは内部クロック信号線CP1に接続され、NMOSトランジスタのゲートは内部クロック信号線CN1に接続されている。また、伝達ゲートT2、T4、…のPMOSトランジスタのゲートは内部クロック信号線CP2に接続され、NMOSトランジスタのゲートは内部クロック信号線CN2に接続されている。

【0057】図4のダイナミックシフトレジスタは、図3のものと同様に、インバータINV2、ORゲートOR1、OR2からなる同時活性化回路を備えており、またORゲートOR1、OR2の出力をそれぞれ反転して内部クロック信号線CP2、CP1に供給するインバータINV4、INV3を備えている。ORゲートOR1、OR2の出力はまた内部クロック信号線CN2、CN1に接続されている。

【0058】図4のダイナミックシフトレジスタにおいては、初期化パルス ϕ INTがLレベルの場合には、ORゲートOR1およびOR2の出力はそれぞれクロックパルス ϕ CKおよび該クロックパルス ϕ CKを反転した反転クロックパルスが出力される。これらのクロックパルス ϕ CKおよびその反転クロックパルスがそれぞれ内部クロック信号線CN2およびCN1に供給される。また、ORゲートOR1、OR2からそれぞれ出力されるクロックパルス ϕ CKおよびその反転クロックパルスがそれぞれさらにインバータINV4、INV3によって反転されてそれぞれ内部クロック信号線CP2、CP1に供給される。すなわち内部クロック信号線CP2にはクロック信号 ϕ CKを反転したクロックパルスが、内部クロック信号線CP1にはクロックパルス ϕ CKが供給される。

【0059】したがって、クロックパルス ϕ CKがHレベルの場合は、伝達ゲートT2、T4、…が導通し、クロックパルス ϕ CKがLレベルの場合は伝達ゲートT1、T3、…が導通する。すなわちクロック信号 ϕ CKによって伝達ゲートT1、T2、T3、T4、…が交互に導通、非導通とされる。これによって、スタートパル

ス ϕ STが、周知のごとく、順次後続の回路段へと伝達されシフト動作が行なわれる。

【0060】これに対し、初期化パルス ϕ INTがHレベルの場合は、ORゲートOR1、OR2の出力は共に、クロックパルス ϕ CKのレベルにかかわらず、Hレベルとなる。このため、内部クロック信号線CN1、CN2は共にHレベル、内部クロック信号線CP1、CP2は共にLレベルとなり、全ての伝達ゲートT1、T2、T3、T4、…が導通する。すなわち、全ての回路段のインバータが直接縦続接続されることになる。したがって、スタートパルス ϕ STが順次反転されながら各インバータによって直接伝達される。したがって、図4の回路においても各回路段を瞬時にリセットあるいはプリセットすることが可能になる。

【0061】なお、上述の説明においては、ダイナミックシフトレジスタとして2種類のものにつき説明したが、本発明には種々の形式のダイナミックシフトレジスタを使用できることは明らかである。すなわち、各回路段が2段1組のダイナミック形インバータ回路で構成されており、片方が実質的に活性状態のとき、他方は実質的に不活性状態として入力信号を順次後続の回路段に伝達する形式のダイナミックシフトレジスタであれば本発明は適用できる。これらの場合、2段1組のダイナミック形インバータを同時に活性化し、複数回路段にわたり入力信号を直接後続の回路段に伝達し、リセットやプリセットを強制的に瞬時に行なわせることができる。

【0062】次に、図5は、本発明の別の実施態様に係る固体撮像装置の回路構成を示す。図5においても前記図1と同じ部分は同じ参照数字で示されている。また、図5の固体撮像装置では、前記図2の固体撮像装置における各列ラインLV1、LV2、LV3がそれぞれプルアップ用のMOSトランジスタなどで構成されるスイッチ素子QPU1、QPU2、QPU3を介して所定のバイアス電圧VPUに接続されている。各スイッチ素子QPU1、QPU2、QPU3のゲートは共通に接続され所定の制御信号 ϕ PUが供給できるよう構成されている。また、バイアス電圧VPUは増幅素子QAのゲートが増幅素子QAの読み出し電圧VGHであっても該増幅素子QAがカットオフする電圧とされる。その他の部分は図2の回路と同じであり、同じ部分には同じ参照数字および参照符号が付されている。

【0063】図5の固体撮像装置において画素のリセットを行なう場合には、図2の場合と同様に、垂直走査回路5の全段をプリセットし、第1の垂直走査回路 ϕ TR1～TR3を全画素の転送用スイッチQTに加えて該転送用スイッチQTをオンとする。また制御信号 ϕ PGを加えて全画素のリセットスイッチQRSTをオンにする。このとき、第2の垂直走査信号 ϕ RD1～ ϕ RD3の電圧は各画素部の増幅素子QAの読み出し電圧VGHとする。

【0064】さらに、このとき、制御信号 ϕ PUにより各列のプルアップ用スイッチ素子QPUをオンとして各列ラインLV1～LV3を前記バイアス電圧VPUにバイアスする。このバイアス電圧VPUは、前述のように、増幅素子QAのゲートが読み出し電圧VGHであっても増幅素子QAがカットオフする電圧とする。これによって、増幅素子QAをカットオフした状態でフォトダイオードPDの残留電荷を転送素子QTおよびリセット素子QRSTを介して放出し、画素のリセットが行なわれる。そして、この場合フォトダイオードPDは増幅素子QAの読み出し電圧VGHに逆バイアスされた状態に

リセットされる。しかしながら、プルアップ用のスイッチ素子QPUによって、各増幅素子QAのソース電圧が前記バイアス電圧VPUになっており、増幅素子QAには電流が流れない。すなわち、リセット時の過大なラッシュ電流が防止できる。なお、信号の読み出しを行なう場合は、プルアップ用のスイッチ素子QPUをカットオフとした状態で前記図2の固体撮像装置の場合と同様に行なう。

【0065】上記図2および図5の固体撮像装置において、各画素の受光素子の特性としては、リセット時に完全空乏化されるよう構成することが望ましい。しかしながら、そのような受光素子を構成するよう製造プロセス条件を設定すると、増幅素子QAを構成するJFETの特性が充分でない場合があり、逆にJFETの特性を重視すると受光素子の完全空乏化が達成できないことがある。したがって、受光素子のフォトダイオードと増幅素子のJFET特性が共に所望の特性に両立できる場合には、前記図2の構成とするのが望ましく、両立が困難または不可能な場合には図5の構成とするのが望ましい。

【0066】

【実施例】なお、上記図2および図5における固体撮像装置において、各電源および信号の電圧は具体的には次のように設定して高結果が得られる。すなわち電源電圧VDD=5V、VEE=0Vの条件で、前記各画素の増幅素子QAがオンになって活性化する読み出し電圧VGH=-1Vとする。そして、前記図2の構成における、リセット時に各画素のリセット素子のドレインに供給される第2の垂直走査信号 ϕ RDの電圧VGLは例えば-3Vでよい。また、前記図5の構成における各画素をカットオフするためのバイアス電圧VPUは増幅素子QAのゲート電圧がVGH=-1Vであっても該増幅素子QAがカットオフする電圧、例えば+1V以上とする。

【0067】

【発明の効果】以上のように、本発明によれば、固体撮像装置において、リセットを行なう場合に各画素の増幅素子をカットオフした状態で受光素子のリセットを行なうよう構成したから、多数の画素を含む固体撮像装置において全画素を同時にリセットする場合にも過大なラッシュ電流が発生することを防止できる。したがって、ラッシュ電流による固体撮像装置の信頼性の低下が防止できると共に、ラッシュ電流によるチップ内各部の電圧変動によって固体撮像装置に悪影響を与えることが防止され、固体撮像装置が本来の性能を発揮することが可能になる。このような固体撮像装置は、例えばシャッタを切った瞬間に全画素同時リセットが必要な電子スチルカメラなどに使用して好結果を得ることができる。

【図面の簡単な説明】

【図1】本発明に係わる固体撮像素子の概略の構成を示すブロック図である。

【図2】本発明の第1の実施形態に係わる固体撮像装置の詳細な構成を示す電気回路図である。

【図3】本発明に係わる固体撮像装置の走査回路に使用可能なシフトレジスタの構成を示す電気回路図である。

【図4】本発明に係わる固体撮像素子の走査回路に使用可能なシフトレジスタの他の構成を示す電気回路図である。

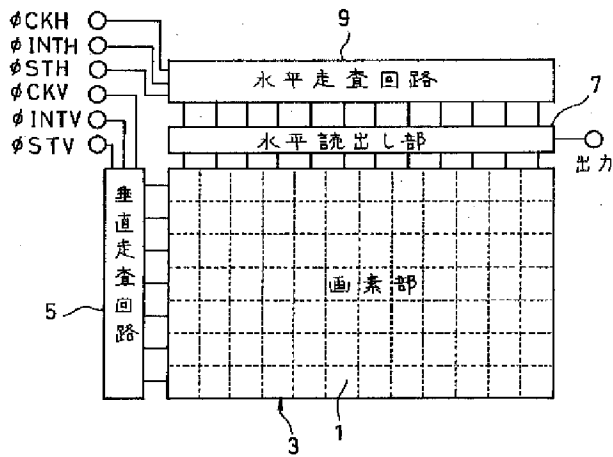
【図5】本発明の第2の実施形態に係わる固体撮像素子の詳細な構成を示す電気回路図である。

【図6】従来の固体撮像装置の構成を示す電気回路図である。

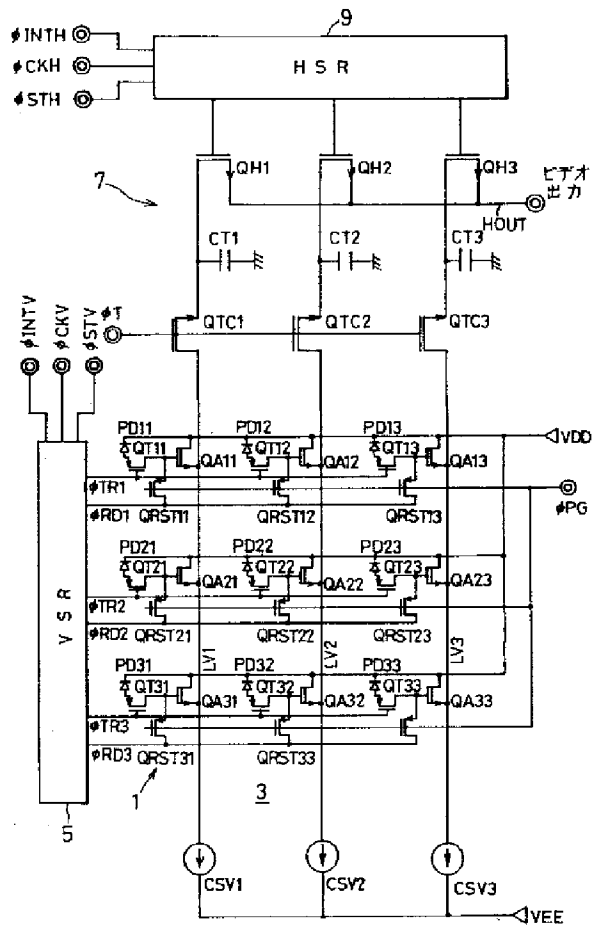
【符号の説明】

- 1 画素
- 3 画素部
- 5 垂直走査回路(VSR)
- 7 水平読み出し部
- 9 水平走査回路(HSR)
- PD11, ..., PD33 フォトダイオード
- QT11, ..., QT33 転送素子
- QA11, ..., QA33 増幅素子
- QRST11, ..., QRST33 リセット素子
- CSV1, ..., CSV3 定電流源
- QTC1, ..., QTC3 読み出しゲートトランジスタ
- CT1, ..., CT3 蓄積容量
- QH1, ..., QH3 水平読み出し用スイッチ素子
- QPU1, ..., QPU3 プルアップ用スイッチ素子

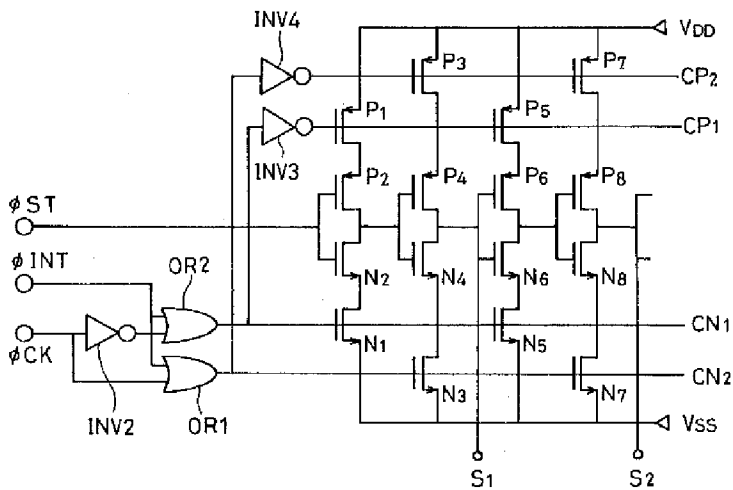
【図1】



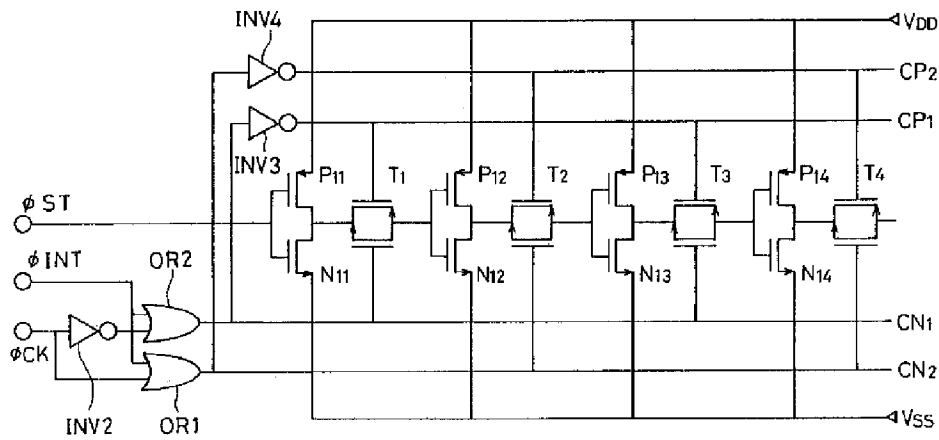
【図2】



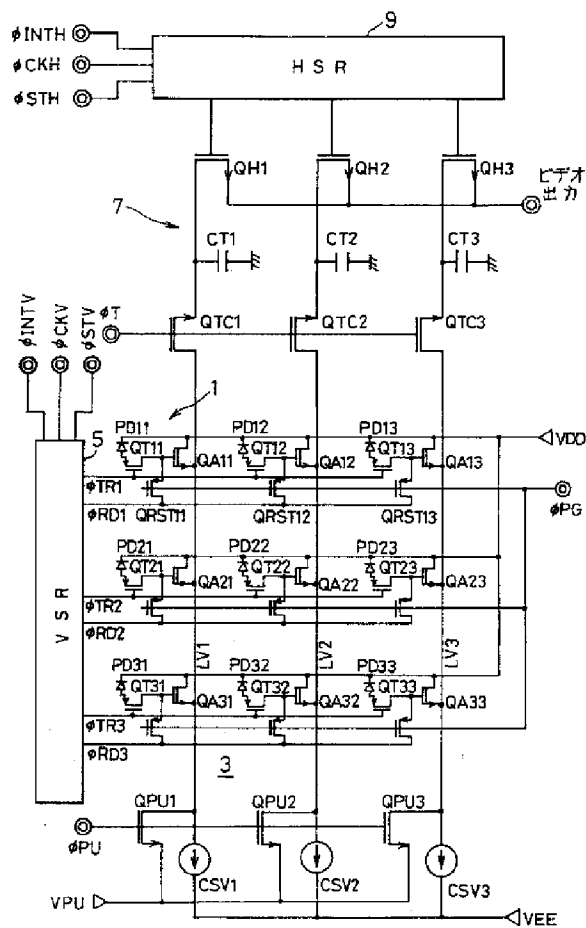
【図3】



【図4】



【図5】



【図6】

